

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SOON-YONG KWEON

Application No.:

Filed:

For: **FERROELECTRIC RANDOM  
ACCESS MEMORY CAPACITOR  
AND METHOD FOR  
MANUFACTURING THE SAME**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

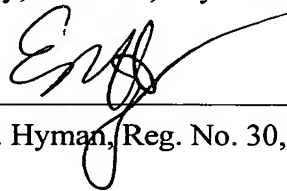
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-43176	30 June 2003

☐ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: December 8, 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0043176  
Application Number

출원년월일 : 2003년 06월 30일  
Date of Application JUN 30, 2003

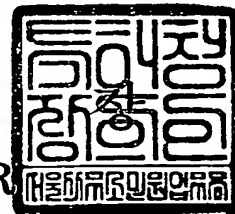
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0037
【제출일자】	2003.06.30
【발명의 명칭】	엠티피 구조의 강유전체 캐패시터 및 그 제조 방법
【발명의 영문명칭】	CAPACITOR WITH MERGED TOP ELECTRODE PLATE LINE STRUCTURE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	권순용
【성명의 영문표기】	KWEON, Soon Yong
【주민등록번호】	680812-1460616
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대6차 아파트 602-601
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	19 항 717,000 원
【합계】	756,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 서로 다른 막질위에서 형성되는 강유전체막의 결정성 상이로 초래되는 강유전체 캐패시터의 신호 불균일성, 강유전체막 형성전의 단차로 인해 초래되는 강유전체막의 균열, 하부전극과 층간절연막간 계면을 통해 확산되는 산소로 인해 초래되는 배리어막의 산화를 방지하는데 적합한 MTP 구조의 강유전체 캐패시터 및 그 제조 방법을 제공하기 위한 것으로, 본 발명은 스토리지노드콘택에 연결되는 강유전체 캐패시터를 하부전극, 강유전체막 및 상부전극을 순차 적층한 후에 하나의 마스크를 이용하여 패터닝하여 형성하고, 강유전체 캐패시터의 표면[상부전극 표면]을 노출시키면서 강유전체 캐패시터를 에워싸는 제2층간절연막을 형성한 후 상부전극과 직접 연결되는 플레이트라인을 형성하여 MTP 구조를 구현한다.

**【대표도】**

도 2

**【색인어】**

MTP, 하드마스크, 플레이트라인, 캐패시터 스택, 에치백, 균열, 배리어메탈

## 【명세서】

## 【발명의 명칭】

엠티피 구조의 강유전체 캐패시터 및 그 제조 방법{CAPACITOR WITH MERGED TOP ELECTRODE  
PLATE LINE STRUCTURE AND METHOD FOR FABRICATING THE SAME}

## 【도면의 간단한 설명】

도 1은 종래 기술에 따른 MTP 구조의 강유전체 캐패시터를 도시한 구조 단면도,

도 2는 본 발명의 실시예에 따른 MTP 구조의 강유전체 캐패시터를 도시한 구조 단면도,

도 3a 내지 도 3f는 본 발명의 실시예에 따른 MTP 구조의 강유전체 캐패시터의 제조 방  
법을 도시한 공정 단면도,

도 4는 도 3d의 제2층간절연막의 다른 예를 도시한 도면,

도 5는 본 발명의 실시예에 따른 MTP 구조의 강유전체 캐패시터를 도시한 평면도.

\* 도면의 주요 부분에 대한 부호의 설명

31 : 반도체 기판	32 : 필드산화막
33 : 접합영역	34 : 제1층간절연막
35 : 제1배리어막	36 : 티타늄실리사이드
37 : 제2배리어막	38 : 텅스텐폴러그
39 : 제3배리어막	40 : 제1접착층
41a : 하부전극	42 : 강유전체막
43a : 상부전극	45 : 제2층간절연막

47 : 제2접착층

48 : 플레이트라인

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 강유전체 캐패시터의 제조 방법에 관한 것이다.
- <16> 일반적으로, 반도체 메모리 소자에서 강유전체(Ferroelectric) 박막을 강유전체 캐패시터에 사용함으로써 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레쉬(Refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. 이러한 강유전체 박막을 이용하는 강유전체 메모리 소자(Ferroelectric Random Access Memory; 이하 'FeRAM'이라 약칭함) 소자는 비휘발성 메모리 소자(Nonvolatile Memory device)의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.
- <17> 최근에는 고밀도 강유전체 메모리 소자 제작시 MTP(Merged Top electrode Plateline) 구조를 적용하고 있다. MTP 구조의 캐패시터는 상부전극을 셀단위로 분리시키지 않고 라인형태로 패터닝하여 플레이트라인 역할을 동시에 수행하도록 한 구조이다. FeRAM은 동작특성상 플레이트라인을 구동하게 되는데, 강유전체 캐패시터에서 전하를 뽑아내기 위해서는 플레이트라인을 0~VCC로 펄스구동해야 한다. 따라서, 금속배선 공정에서 플레이트라인을 형성시키고 있다.
- <18> 도 1은 종래 기술에 따른 MTP 구조의 강유전체 캐패시터를 도시한 구조 단면도이다.

- <19> 도 1에 도시된 바와 같이, 반도체 기판(11)에 소자간 분리를 위한 필드산화막(12)이 형성되고, 반도체 기판(11)의 활성영역내에 트랜지스터의 소스/드레인과 같은 접합영역(13)이 형성되며, 반도체 기판(11) 상부에 제1층간절연막(14)이 형성된다. 그리고, 제1층간절연막(14)을 관통하여 접합영역(13)에 콘택되는 스토리지노드콘택이 제1배리어메탈(15a), 텅스텐플러그(16) 및 제2배리어메탈(15b)의 구조로 형성된 매립형(buried) 플러그 구조이다.
- <20> 그리고, 스토리지노드콘택에 연결되는 하부전극(18)이 제1층간절연막(14) 사이에 삽입된 접착층(17)을 사이에 두고 형성되고, 이웃한 하부전극(18)간 격리를 위해 표면이 평탄화된 제2층간절연막(19)이 하부전극(18)을 에워싸고 있다. 여기서, 하부전극(18)은 이리듐(Ir), 이리듐산화막( $\text{IrO}_2$ ) 및 백금(Pt)의 순서로 적층된 적층막이다.
- <21> 그리고, 제2층간절연막(19)과 하부전극(18) 상에 강유전체막(20)이 형성되고, 강유전체막(20) 상에 상부전극(21)이 형성된다. 여기서, 강유전체막(20)은 셀영역의 전면에 형성되는 것이고, 상부전극(21)만을 패터닝하여 강유전체 캐패시터를 형성한다.
- <22> 도 1과 같은 종래 기술의 MTP 구조의 캐패시터는 강유전체막(20) 증착후에 강유전체막(20)의 결정화를 위한 열처리 공정을 수행하고, 하부전극(18)을 에워싸는 제2층간절연막(19) 형성시 에치백공정을 진행한다.
- <23> 그러나, 종래 기술은 다음과 같은 문제점이 있다.
- <24> 첫째, 강유전체막(20) 증착후에 필수적으로 진행되는 열처리 공정시 하부전극(18) 위의 강유전체막과 제1층간절연막(19) 위의 강유전체막이 결정성이 서로 상이하다. 즉, 제1층간절연막(19) 위에 형성된 강유전체막은 결정화가 잘 되지 않기 때문에, 강유전체 캐패시터의 신호의 불균일성을 증가시키는 문제가 있다.



<25> 둘째, 하부전극(18)을 에워싸는 제2층간절연막(19)을 형성하기 위해 에치백 공정을 적용하는데, 이 에치백공정후에 하부전극(18)과 제2층간절연막(19)간 단차(x)가 크게 발생하면 강유전체막(20) 증착시 균열(crack)이 발생하는 문제가 있다. 또한, 단차가 크게 발생하면 강유전체막(20)의 단차피복성이 열악하여 하부전극(18) 측면에 보이드(void)가 발생한다.

<26> 셋째, 강유전체막(20) 증착후의 열처리 공정시 하부전극(18)의 측면과 제2층간절연막(19)간 계면을 통해 산소가 침투하여 제2배리어메탈(15b)을 산화시키는 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 서로 다른 막질 위에서 형성되는 강유전체막의 결정성 상이로 초래되는 강유전체 캐패시터의 신호 불균일성을 억제하는데 적합한 MTP 구조의 강유전체 캐패시터 및 그 제조 방법을 제공하는데 목적이 있다.

<28> 본 발명의 다른 목적은 강유전체막 형성전의 단차로 인해 초래되는 강유전체막의 균열을 방지하는데 적합한 MTP 구조의 강유전체 캐패시터 및 그 제조 방법을 제공하는데 있다.

<29> 그리고, 본 발명의 또다른 목적은 하부전극과 층간절연막간 계면을 통해 확산되는 산소로 인해 초래되는 배리어막의 산화를 방지하는데 적합한 MTP 구조의 강유전체 캐패시터 및 그 제조 방법을 제공하는데 있다

#### 【발명의 구성 및 작용】

<30> 상기 목적을 달성하기 위한 본 발명의 강유전체 캐패시터는 반도체 기판, 상기 반도체 기판 상부의 평탄화된 제1층간절연막, 상기 제1층간절연막을 관통하여 상기 반도체 기판에 연

결된 스토리지노드콘택, 상기 스토리지노드콘택과 연결되면서 상기 스토리지노드콘택보다 더 넓은 너비를 갖도록 상기 제1층간절연막 상에 하부전극, 상기 하부전극 상의 강유전체막 및 상기 강유전체막 상의 상부전극의 순서로 적층된 캐패시터 스택, 상기 캐패시터 스택을 에워싸면서 상기 캐패시터 스택의 상부전극 표면을 노출시키는 제2층간절연막, 및 상기 캐패시터 스택의 상부전극에 연결되면서 상기 캐패시터 스택보다 더 넓은 너비를 갖도록 상기 제2층간절연막 상에 일부가 오버랩된 플레이트라인을 포함하는 것을 특징으로 하고, 상기 캐패시터 스택의 하부전극과 상기 제1층간절연막 사이에 삽입된 제1접착층, 및 상기 플레이트라인과 상기 제2층간절연막 사이에 삽입된 제2접착층을 더 포함하는 것을 특징으로 한다.

<31> 그리고, 본 발명의 강유전체 캐패시터의 제조 방법은 반도체 기판을 노출시킨 제1층간절연막의 홀에 스토리지노드콘택이 매립된 하부 구조를 형성하는 단계, 상기 스토리지노드콘택 상부에 하부전극, 강유전체막 및 상부전극으로 이루어진 캐패시터 스택과 하드마스크의 적층 패턴을 형성하는 단계, 상기 적층 패턴을 포함한 전면에 제2층간절연막을 형성하는 단계, 상기 적층패턴의 하드마스크 표면이 드러날때까지 상기 제2층간절연막을 평탄화시키는 단계, 상기 하드마스크를 제거하여 상기 캐패시터 스택의 상부전극 상부에 홈을 형성하는 단계, 및 상기 홈을 통해 상기 캐패시터 스택의 상부전극과 연결되는 플레이트라인을 형성하는 단계를 포함하는 것을 특징으로 한다.

<32> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<33> 도 2는 본 발명의 실시예에 따른 MTP 구조의 강유전체 캐패시터를 도시한 구조 단면도이다.

- <34> 도 2에 도시된 바와 같이, 접합영역(33)과 필드산화막(32)이 형성된 반도체 기판(31) 상부에 평탄화된 제1층간절연막(34)이 형성되고, 제1층간절연막(34)을 관통하여 제공되는 스토리지노드콘택홀에 스토리지노드콘택이 매립된다. 여기서, 스토리지노드콘택은 제1배리어막(35), 제2배리어막(37), 텅스텐플러그(38) 및 제3배리어막(39)의 순서로 적층된 것이며, 접합영역(33)과 접하는 제1배리어막(35) 아래에 티타늄실리사이드(35)가 구비된다.
- <35> 그리고, 스토리지노드콘택과 연결되면서 스토리지노드콘택보다 더 넓은 너비를 갖도록 제1층간절연막(34) 상에 제1접착층(40), 하부전극(41a), 하부전극(41a) 상의 강유전체막(42) 및 강유전체막(42) 상의 상부전극(43a)의 순서로 적층된 캐패시터 스택이 형성된다.
- <36> 그리고, 캐패시터 스택을 에워싸면서 캐패시터 스택의 상부전극(43a) 표면을 노출시키는 홈(도 3e의 46 참조)을 갖고 제2층간절연막(45)이 형성되며, 캐패시터 스택의 상부전극(43a)에 연결되면서 캐패시터 스택보다 더 넓은 너비를 갖도록 제2층간절연막(45) 상에 일부가 오버랩된 플레이트라인(48)이 형성된다. 여기서, 플레이트라인(48)과 제2층간절연막(45) 사이에는 제2접착층(47)이 형성된다.
- <37> 도 2에서, 제1배리어막(35)은 티타늄과 티타늄나이트라이드의 적층막이고, 제2배리어막(37)은 티타늄나이트라이드이며, 제3배리어막(39)은 TiN, TiAlN, TiSiN 및 RuTiN로 이루어진 그룹중에서 선택된 하나이다. 그리고, 제1접착층(40)과 제2접착층(47)은  $Al_2O_3$ 이다. 그리고, 하부전극(41a)은 이리듐(Ir), 이리듐산화막( $IrO_2$ ) 및 백금(Pt)의 순서로 적층된 Pt/ $IrO_2$ /Ir막이고, 여기서, 이리듐(Ir)은  $500\text{\AA} \sim 1500\text{\AA}$ , 이리듐산화막( $IrO_2$ )은  $50\text{\AA} \sim 500\text{\AA}$ , 백금(Pt)은  $100\text{\AA} \sim 1000\text{\AA}$  두께이다. 그리고, 강유전체막(42)은  $50\text{\AA} \sim 2000\text{\AA}$ 의 두께인 SBT, SBTN, PZT 및 BLT로 이루어진 그룹 중에서 선택된 하나이다. 그리고, 상부전극(43a)은 Pt, Ir, Ru,  $IrO_2$ , RuO

$\text{Pt}/\text{IrO}_2$ ,  $\text{Pt}/\text{IrO}_2/\text{Ir}$ ,  $\text{IrO}_2/\text{Ir}$ ,  $\text{RuO}_2/\text{Ru}$ ,  $\text{Pt}/\text{RuO}_2/\text{Ru}$  및  $\text{Pt}/\text{RuO}_2$ 로 이루어진 그룹중에서 선택되며  $100\text{Å} \sim 1000\text{Å}$ 의 두께이다. 그리고, 플레이트라인(48)은 백금(Pt), 이리듐(Ir), 이리듐(Ir)과 이리듐산화막( $\text{IrO}_2$ )의 적층( $\text{Ir}/\text{IrO}_2$ )이 되  $500\text{Å} \sim 3000\text{Å}$  두께이다. 마지막으로, 제2층간절연막(45)은 PSG, SOG, USG 또는 TEOS산화막을 이용하고, 후술하는 도 4에 도시된 것처럼 제2층간절연막(45)이 산소확산방지특성이 우수한 제1막(45a)과 매립특성이 우수한 제2막(45b)으로 형성될 수도 있다. 여기서, 제1막(45a)은  $\text{TiO}_2$ , TEOS 산화막 또는  $\text{Al}_2\text{O}_3$ 를 이용하고, 제2막(45b)은 PSG, SOG 또는 USG를 이용한다.

<38> 도 2에 도시된 바에 따르면, 본 발명의 MTP 구조의 강유전체 캐패시터는 하부전극(41a), 강유전체막(42) 및 상부전극(43a)이 적층된 구조이고, 이 적층 구조를 제2층간절연막(45)이 에워싸고 있다. 그리고, 상부전극(43a)과 플레이트라인(48)이 별도의 콘택홀없이 서로 연결되고 있다.

<39> 도 3a 내지 도 3f는 본 발명의 실시예에 따른 MTP 구조의 강유전체 캐패시터의 제조 방법을 도시한 공정 단면도이다.

<40> 도 3a에 도시된 바와 같이, 반도체 기판(31)에 소자간 분리를 위한 필드산화막(32)을 형성한 후, 반도체 기판(31)의 활성영역 내에 트랜지스터의 소스/드레인과 같은 접합영역(33)을 형성한다.

<41> 이어서, 반도체 기판(21) 상부에 BPSG 또는 HDP 산화막으로 이루어진 제1층간절연막(34)을 증착 및 평탄화한 후, 콘택마스크(도시 생략)로 제1층간절연막(34)을 식각하여 접합영역(33)을 노출시키는 스토리지노드콘택홀(도시 생략)을 형성한다.

<42> 다음에, 스토리지노드콘택홀을 포함한 제1층간절연막(34) 상부에 티타늄막(Ti)과 티타늄 나이트라이드막(TiN)을 순차 적층하여 제1배리어막(35)을 형성한 후, 접합영역(33)과 티타늄막 간 계면에 티타늄실리사이드(TiSi<sub>2</sub>, 36)를 형성한다. 이때, 티타늄실리사이드(36)는 티타늄막과 티타늄나이트라이드막을 물리기상증착법(PVD) 또는 IMP(Ionized-Metal Plasma)법을 이용하여 증착한 후 급속열처리[830℃/N<sub>2</sub>/20초]를 진행하여 접합영역(33)의 실리콘과 티타늄의 반응을 통해 형성되는 것이다. 이와 같은 티타늄실리사이드(36)를 형성함으로써 접합영역(33)과 텅스텐플러그간에 오믹콘택(ohmic contact)이 이루도록 한다. 한편, 티타늄막과 티타늄나이트라이드막을 화학기상증착법(CVD)을 이용하여 증착하는 경우에는 티타늄실리사이드막(36)이 증착 중에 형성되며, 이때는 급속열처리가 생략된다.

<43> 다음으로, 제1배리어막(35) 상에 제2배리어막(37)을 증착한다. 이때, 제2배리어막(37)은 제1배리어막(35)을 물리기상증착법으로 증착한 경우에 도입되는 공정으로, 제1배리어막(35)을 화학기상증착법으로 증착한 경우에는 생략된다. 여기서, 제2배리어막(37)은 후속의 텅스텐플러그와 접합영역(33)간 상호확산을 방지하기 위한 것으로 200 Å 두께의 티타늄나이트라이드막(TiN)이다.

<44> 다음으로, 제2배리어막(37) 상에 스토리지노드콘택홀을 완전히 채울때까지 텅스텐막을 증착한 후, 제1,2배리어막(35, 37)과 텅스텐막을 선택적으로 제거하여 제1층간절연막(34) 표면보다 낮게 스토리지노드콘택홀 내부에 리세스(recess)된 텅스텐플러그(38) 구조를 형성한다. 텅스텐플러그(38) 구조를 형성하기 위한 다양한 방법을 설명하면 다음과 같다. 제1방법은 에치백을 통해 텅스텐막과 제1,2배리어막(35, 37)을 순차적으로 제거하면서 과도 에치백(over etchback)하여 리세스시킨다. 제2방법은 텅스텐막을 화학적기계적연마(CMP)를 통해 평탄화한 후, 이후 에치백을 통해 제1,2배리어막(35, 37)을 제거하면서 과도 에치백하여 리세스시킨다.

제3방법은 텅스텐막과 제1,2배리어막(35, 37)을 화학적기계적연마하여 층간절연막(34) 표면과 평탄화시킨 후 추가로 에치백을 통해 리세스시킨다.

- <45> 전술한 바와 같은 일련의 공정에 의해 형성되는 텅스텐플러그(38)의 리세스 깊이는 500 Å ~ 1500 Å 이면 적당하고, 텅스텐플러그(38)를 위해 증착되는 텅스텐막은 텅스텐플러그(38)의 직경에 따라 결정되는데, 직경이 0.30 μm 인 경우에는 3000 Å 두께로 증착된다.
- <46> 다음으로, 리세스된 텅스텐플러그(38) 상부에 후속 열처리공정시 하부전극을 관통하는 산소확산에 의한 텅스텐플러그(38)의 산화를 방지하기 위해 제3배리어막(39)을 증착한 후, 화학적기계적연마하여 평탄화시킨다. 이때, 제3배리어막(39)은 TiN, TiAlN, TiSiN 및 RuTiN로 이루어진 그룹중에서 선택된 하나이다.
- <47> 전술한 바에 따르면, 후속의 하부전극과 접합영역을 전기적으로 연결시키기 위한 스토리지노드콘택이 리세스된 텅스텐플러그(38)와 제3배리어막(39)로 구성되며, 층간절연막(34) 표면과 평탄화되어 있다.
- <48> 도 3b에 도시된 바와 같이, 평탄화된 결과물, 즉 제1층간절연막(34) 및 제3배리어막(39) 상에 제1접착층(40)을 증착한다. 이때, 제1접착층(40)으로는 알루미늄( $Al_2O_3$ )을 이용하며, 원자층증착법(ALD), 화학기상증착법(CVD), 물리기상증착법(PVD)을 이용하여 5 Å ~ 50 Å 두께로 충분히 얇게 한다. 이와 같이, 제1접착층(40)을 충분히 얇게 하는 이유는 후속 열공정에서 식각 공정없이도 스토리지노드콘택 상부의 제1접착층(40)이 파괴되어 제거될 수 있도록 하기 위한 것이며, 이러한 얇은 두께는 접착층 역할을 하는데 충분하다.
- <49> 다음으로, 제1접착층(40) 상에 하부전극 역할을 하는 제1도전막(41), 강유전체막(42), 상부전극 역할을 하는 제2도전막(43) 및 하드마스크(44)를 순차적으로 형성한다.

<50> 이때, 제1도전막(41)은 화학기상증착법(CVD), 물리기상증착법(PVD), 원자층증착법(ALD) 및 플라즈마원자층증착법(PEALD) 중에서 선택된 하나의 증착법을 이용하여 증착되며, 백금(Pt), 이리듐(Ir), 루테튬(Ru), 레늄(Re) 및 로듐(Rh) 중에서 선택된 하나이거나 이들의 복합 구조물을 이용한다. 예를 들어, 제1도전막(41)은 이리듐(Ir), 이리듐산화막( $\text{IrO}_2$ ) 및 백금(Pt)의 순서로 적층된 Pt/ $\text{IrO}_2$ /Ir막이고, 이때, 이리듐(Ir)은  $500\text{\AA} \sim 1500\text{\AA}$ , 이리듐산화막( $\text{IrO}_2$ )은  $50\text{\AA} \sim 500\text{\AA}$ , 백금(Pt)은  $100\text{\AA} \sim 1000\text{\AA}$  두께로 형성된다. 그리고, 강유전체막(42)은 화학기상증착법(CVD), 원자층증착법(ALD) 및 스핀코팅법[Spin on deposition; 졸겔(Sol-gel) 또는 MOD(Metal Organic Decomposition) 용액을 이용함] 중에서 선택된 하나의 증착법을 이용하여  $50\text{\AA} \sim 2000\text{\AA}$ 의 두께로 증착하며, 통상의 SBT, SBTN, PZT 및 BLT로 이루어진 그룹 중에서 선택된 하나이다. 그리고, 제2도전막(43)은 Pt, Ir, Ru,  $\text{IrO}_2$ ,  $\text{RuO}_2$ , Pt/ $\text{IrO}_2$ , Pt/ $\text{IrO}_2$ /Ir,  $\text{IrO}_2$ /Ir,  $\text{RuO}_2$ /Ru, Pt/ $\text{RuO}_2$ /Ru 및 Pt/ $\text{RuO}_2$ 로 이루어진 그룹 중에서 선택되며, 화학기상증착법(CVD), 물리기상증착법(PVD), 원자층증착법(ALD) 및 플라즈마원자층증착법(PEALD) 중에서 선택된 하나의 증착법을 이용하여  $100\text{\AA} \sim 1000\text{\AA}$ 의 두께로 증착한다. 마지막으로, 하드마스크(44)는 후속 패터닝을 용이하게 진행하기 위해 도입한 것으로, 티타늄나이트라이드(TiN) 또는 탄탈륨나이트라이드(TaN)를 이용하며 그 두께는  $500\text{\AA} \sim 2000\text{\AA}$ 이다.

<51> 위에서 살펴 본 바에 따르면, 제1접착층(40), 제1도전막(41), 강유전체막(42), 제2도전막(43) 및 하드마스크(44)는 패터닝 공정의 부담을 줄여주기 위해 최대한 얇게 증착하는 것이 중요하다.

<52> 한편, 강유전체막(42)의 결정화를 위한 열처리를 강유전체막(42) 증착후 또는 제2도전막(43) 증착후에 진행한다. 이때, 열처리는  $\text{O}_2$ ,  $\text{N}_2$ , Ar,  $\text{O}_3$ , He, Ne 또는 Kr의 분위기하에서  $400^\circ\text{C} \sim 800^\circ\text{C}$ 의 온도로 10초 ~ 5시간동안 진행하며, 열처리 장비로는 확산로(Diffusion furnace)

또는 급속열처리(Rapid Thermal Process) 장치를 이용하거나 또는 확산로와 급속열처리 장치를 혼합하여 여러번 수행할 수도 있다.

<53> 도 3c에 도시된 바와 같이, 캐패시터를 정의하는 감광막패턴(도시 생략)을 식각마스크로 하드마스크(44)를 패터닝한 후, 감광막패턴을 제거하고, 패터닝된 하드마스크(44)를 식각마스크로 제2도전막(43), 강유전체막(42), 제1도전막(41) 및 제1접착층(40)을 순차적으로 패터닝하여 캐패시터를 형성한다.

<54> 따라서, 본 발명의 강유전체 캐패시터는 스택 구조의 강유전체 캐패시터로서, 제1접착층(40), 하부전극(41a), 강유전체막(42) 및 상부전극(43a)의 순서로 스택된 구조를 하나의 마스크를 이용하여 형성한다.

<55> 위와 같은 패터닝공정후에 상부전극(43a) 상부에는 하드마스크(44a)가 잔류하며, 이하 제1접착층(40), 하부전극(41a), 강유전체막(42) 및 상부전극(43a)의 순서로 적층된 구조를 '캐패시터 스택(capacitor stack)'이라고 약칭한다. 한편, 제1접착층(40)의 일부가 제거되어 제3배리어막(39) 상부가 오픈되고 있는데, 이는 제1접착층(40)을 형성한 후에 급속열처리 및 SC-1 세정을 통해 제3배리어막(39) 상부의 제1접착층(40)을 제거한 것이다. 이때, 급속열처리를 통해 텅스텐플러그(38)를 열팽창시켜 제3배리어막(39)에 응력을 가하면 제3배리어막(39) 상부의 제1접착층(40)에 크랙(Crack)이 발생하고, 이 크랙을 SC-1 세정을 통해 제거하므로써 후속 하부전극과 텅스텐플러그(38)간 전기적 통로를 제공해준다. 다른 방법으로, 급속열처리 및 SC-1 세정을 실시하지 않고도 제1접착층(40)을 오픈시킬 수 있는데, 전술한 바와 같이 열처리공정에 매우 민감한 두께로 형성되는 제1접착층(40)은 후속 공정으로 수반되는 열처리 공정들, 예를 들어 강유전체막의 증착후 열처리 공정중에 오픈될 수도 있다.



- <56> 도 3d에 도시된 바와 같이, 캐패시터 스택과 하드마스크(44a)의 적층 패턴을 포함한 전면에 캐패시터 스택보다 충분히 두껍게 제2층간절연막(45)을 형성한 후, 하드마스크(44a)의 표면이 드러날때까지 에치백 또는 화학적기계적연마를 진행하여 평탄화시켜 캐패시터 스택을 에워싸는 형태의 제2층간절연막(45)을 잔류시킨다.
- <57> 여기서, 제2층간절연막(45)은 PSG, SOG, USG 또는 TEOS산화막을 이용하는데, 제2층간절연막(45) 증착후에는 막내의 수분 제거 및 막 치밀화를 위해 큐어링(curing) 공정을 진행한다. 이때, 큐어링 공정은 하드마스크(44a)의 산화를 방지하기 위해 550℃보다 낮은 온도에서 O<sub>2</sub>, N<sub>2</sub> 또는 Ar 분위기로 10분~2시간동안 실시한다.
- <58> 그리고, 제2층간절연막(45)의 평탄화 공정은 화학적기계적연마 또는 에치백 공정을 단독으로 진행하거나 또는 화학적기계적연마후 다시 에치백공정을 진행할 수도 있다.
- <59> 한편, 도 4에 도시된 바와 같이, 제2층간절연막(45)은 산소확산방지특성이 우수한 제1막(45a)과 매립특성이 우수한 제2막(45b)을 차례로 형성할 수도 있는데, 제1막(45a)은 TiO<sub>2</sub>, TEOS 산화막 또는 Al<sub>2</sub>O<sub>3</sub>를 이용하고, 제2막(45b)은 PSG, SOG 또는 USG를 이용한다. 여기서, 제1막(45a)은 주로 산화막인 제2막(45b) 증착시 제2막(45b)과 제1층간절연막(34)의 계면을 통해 산소가 확산하여 제3배리어막(39)을 산화시키는 것을 방지하기 위한 것이다.
- <60> 위에서 살펴본 바에 따르면, 하드마스크(44a) 표면이 드러날때까지 제2층간절연막(45)을 평탄화시키면, 종래 기술과 유사하게 하드마스크(44a) 표면보다 제2층간절연막(45) 표면이 낮아지는 단차(x')가 발생할 수 있다.
- <61> 따라서, 본 발명은 이 단차를 제거하기 위해 하드마스크(44a)를 제거한다.

- <62> 도 3e에 도시된 바와 같이, 하드마스크(44a)를 제거하여 상부전극(43a) 상부에 홈(46)을 형성한다. 이때, 하드마스크(44a)는 건식식각 또는 습식식각을 통해 제거하는데, 건식식각시에는 아르곤(Ar)과 염소(Cl)의 혼합가스를 이용하고, 습식식각시에는 SC-1( $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$ ) 용액을 이용한다.
- <63> 위와 같은 하드마스크(44a)의 제거후에는 상부전극(43a) 상부에 하드마스크(44a)의 두께만큼의 홈(46)이 형성되고, 이 홈(46)에 의해 상부전극(43a)은 주변의 제2층간절연막(45)보다 낮은 위치에서 노출된다.
- <64> 도 3f에 도시된 바와 같이, 제2접착층(47)과 플레이트라인(48)용 제3도전막을 차례로 증착한 후, 제3도전막과 제2접착층(47)을 순차적으로 패터닝한다. 이때, 제2접착층(47)은 제1접착층(40)과 동일한 물질로  $\text{Al}_2\text{O}_3$ 이며, 물리기상증착법, 화학기상증착법 또는 원자층증착법을 이용하여  $5\text{\AA} \sim 50\text{\AA}$  정도로 얇게 증착하여 추가적인 접착층 식각 공정없이 상부전극(43a)과 플레이트라인(48)간 전기적 연결이 가능하도록 한다. 여기서, 제2접착층(47)을 오픈시키는 공정은 제1접착층(40) 오픈공정과 동일하게 진행될 수 있고, 또한, 후속 공정으로 수반되는 열처리 공정중에 제2접착층이 오픈될 수도 있다.
- <65> 그리고, 플레이트라인(48)을 형성하기 위한 제3도전막은 백금(Pt), 이리듐(Ir), 이리듐(Ir)과 이리듐산화막( $\text{IrO}_2$ )의 적층( $\text{Ir}/\text{IrO}_2$ )을 이용한다. 예를 들어, 제3도전막으로 백금을 이용하는 경우, 물리기상증착법, 화학기상증착법 또는 원자층증착법을 이용하여  $500\text{\AA} \sim 3000\text{\AA}$  두께로 증착한다. 한편, 플레이트라인(48)은 라인(line) 형태 또는 블록(block) 단위로 패터닝하여 형성한다.
- <66> 잘 알려진 바와 같이, 플레이트라인(48)은 이 상부전극 역할도 수행하므로 상부전극(43a)의 두께를 얇게 한 상태에서 전술한 바와 같은 하나의 마스크를 이용한 캐패시터 스택의

패터닝을 진행하는 것이 용이하다. 예를 들어, 상부전극(43a)의 두께를 500Å으로 얇게 형성하고, 플레이트라인(48)을 1500Å 두께로 형성하면, 상부전극 역할을 하는 전극막의 총 두께는 2000Å이 되는 것이다.

<67> 도 5는 본 발명의 실시예에 따른 강유전체 캐패시터의 평면도이다.

<68> 도 5에 도시된 바와 같이, 캐패시터 스택(C)은 스토리지노드콘택(SNC)에 연결되고, 플레이트라인(PL)은 단위 캐패시터 스택(C)들을 덮는 라인형태로 형성되며, 금속배선과 연결을 위한 금속배선콘택(M1C)이 플레이트라인(PL)의 끝단에 형성되고 있다.

<69> 전술한 바에 따르면, 본 발명은 하나의 마스크를 이용하여 캐패시터를 형성하므로써 종래 기술이 갖고 있는 문제들을 해결할 수 있다. 즉, 강유전체막(42)이 하부전극(41a)용 제1도전막 상에서만 형성되므로 강유전체막(42)의 결정성이 균일하고, 아울러 강유전체막(42) 형성전의 하부구조가 단차가 없으므로 강유전체막(42) 증착시 균열이 억제되며, 강유전체막(42)의 결정화를 위한 열처리 공정이 하부전극(41a)과 제1,2층간절연막(34, 45)간 계면이 없는 구조를 형성한 상태에서 진행되므로 하부전극(41a) 아래의 제3배리어막(39)이 산화되지 않는다.

<70> 또한, 본 발명은 MTP 구조를 구현하므로써 후속 금속배선 공정의 어려움도 동시에 해결할 수 있다.

<71> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**【발명의 효과】**

- <72> 상술한 본 발명은 MTP 구조의 강유전체 캐패시터 제조시 캐패시터 형성 공정에 대한 공정마진이 크게 증가되어 열안정성이 뛰어나고 전기적 특성이 우수한 고밀도 강유전체 캐패시터를 제조할 수 있는 효과가 있다.
- <73> 또한, 캐패시터의 전기적 특성의 균일도가 우수하기 때문에 소자의 수율을 향상시키고, 아울러 제조 비용을 절감할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

반도체 기판;

상기 반도체 기판 상부의 평탄화된 제1층간절연막;

상기 제1층간절연막을 관통하여 상기 반도체 기판에 연결된 스토리지노드콘택;

상기 스토리지노드콘택과 연결되면서 상기 스토리지노드콘택보다 더 넓은 너비를 갖도록 상기 제1층간절연막 상에 하부전극, 상기 하부전극 상의 강유전체막 및 상기 강유전체막 상의 상부전극의 순서로 적층된 캐패시터 스택;

상기 캐패시터 스택을 에워싸면서 상기 캐패시터 스택의 상부전극 표면을 노출시키는 제2층간절연막; 및

상기 캐패시터 스택의 상부전극에 연결되면서 상기 캐패시터 스택보다 더 넓은 너비를 갖도록 상기 제2층간절연막 상에 일부가 오버랩된 플레이트라인

을 포함하는 강유전체 캐패시터.

【청구항 2】

제1항에 있어서,

상기 캐패시터 스택의 하부전극과 상기 제1층간절연막 사이에 삽입된 제1접착층; 및

상기 플레이트라인과 상기 제2층간절연막 사이에 삽입된 제2접착층

을 더 포함하는 강유전체 캐패시터.

**【청구항 3】**

제2항에 있어서,

상기 제1접착층과 상기 제2접착층은  $\text{Al}_2\text{O}_3$ 인 것을 특징으로 하는 강유전체 캐패시터.

**【청구항 4】**

제1항에 있어서,

상기 캐패시터 스택의 상부 표면은 상기 제2층간절연막의 표면보다 낮은 것을 특징으로 하는 강유전체 캐패시터.

**【청구항 5】**

제1항에 있어서,

상기 제2층간절연막과 상기 캐패시터 스택 사이에 삽입된 산소확산방지막을 더 포함하는 강유전체 캐패시터.

**【청구항 6】**

제5항에 있어서,

상기 산소확산방지막은,

$\text{TiO}_2$ , TEOS 산화막 또는  $\text{Al}_2\text{O}_3$ 인 것을 특징으로 하는 강유전체 캐패시터.

【청구항 7】

제1항 또는 제5항에 있어서,

상기 제2층간절연막은,

PSG, SOG, USG 또는 TEOS산화막인 것을 특징으로 하는 강유전체 캐패시터.

【청구항 8】

반도체 기판을 노출시킨 홀에 스토리지노드콘택이 매립된 층간절연막을 형성하는 단계;

상기 스토리지노드콘택 상부에 하부전극, 강유전체막 및 상부전극으로 이루어진 캐패시터 스택과 하드마스크의 적층 패턴을 형성하는 단계;

상기 적층 패턴을 포함한 전면에 제2층간절연막을 형성하는 단계;

상기 적층패턴의 하드마스크 표면이 드러날때까지 상기 제2층간절연막을 평탄화시키는 단계;

상기 하드마스크를 제거하여 상기 캐패시터 스택의 상부전극 상부에 홈을 형성하는 단계 ; 및

상기 홈을 통해 상기 캐패시터 스택의 상부전극과 연결되는 플레이트라인을 형성하는 단계

를 포함하는 강유전체 캐패시터의 제조 방법.

【청구항 9】

제8항에 있어서,

상기 캐패시터 스택과 하드마스크의 적층 패턴을 형성하는 단계는,

상기 스토리지노드콘택 상에 하부전극 역할을 하는 제1도전막, 강유전체막 및 상부전극 역할을 하는 제2도전막을 차례로 형성하는 단계;

상기 제2도전막 상에 하드마스크를 형성하는 단계;

상기 하드마스크 상에 캐패시터를 정의하는 감광막패턴을 형성하는 단계;

상기 감광막패턴을 식각마스크로 상기 하드마스크를 패터닝하는 단계;

상기 감광막패턴을 제거하는 단계; 및

상기 패터닝된 하드마스크를 식각마스크로 상기 제2도전막, 강유전체막 및 상기 제1도전막을 순차적으로 패터닝하여 상기 캐패시터 스택과 상기 하드마스크의 적층 패턴을 형성하는 단계

를 포함하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

#### 【청구항 10】

제8항 또는 제9항에 있어서,

상기 하드마스크는 티타늄나이트라이드 또는 탄탈륨나이트라이드인 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

#### 【청구항 11】

제8항에 있어서,

상기 제2층간절연막을 평탄화시키는 단계는,





에치백 또는 화학적기계적연마를 단독으로 진행하거나, 또는 화학적기계적연마한 후 다시 에치백공정을 진행하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

【청구항 12】

제8항에 있어서,

상기 제2층간절연막을 형성하는 단계는,

산소확산방지막과 산화막을 순차적으로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

【청구항 13】

제12항에 있어서,

상기 산소확산방지막은  $\text{TiO}_2$ , TEOS 산화막 또는  $\text{Al}_2\text{O}_3$ 를 이용하고, 상기 산화막은 PSG, SOG 또는 USG를 이용하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

【청구항 14】

제8항에 있어서,

상기 하드마스크를 제거하여 상기 캐패시터 스택의 상부전극 상부에 홈을 형성하는 단계에서,



상기 하드마스크를 건식식각 또는 습식식각하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

【청구항 15】

제14항에 있어서,

상기 건식식각은 아르곤과 염소의 혼합가스를 이용하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

【청구항 16】

제14항에 있어서,

상기 습식식각은 SC-1 용액을 이용하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

【청구항 17】

제8항에 있어서,

상기 플레이트라인을 형성하는 단계는,

상기 홈을 포함한 상기 제2층간절연막 상에 접착층을 형성하는 단계;

상기 접착층 상에 플레이트라인 역할을 하는 도전막을 형성하는 단계; 및

상기 도전막과 상기 접착층을 라인 형태 또는 블록 단위로 식각하는 단계

를 포함하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

【청구항 18】

제17항에 있어서,

상기 접착층은  $\text{Al}_2\text{O}_3$ 를 이용하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

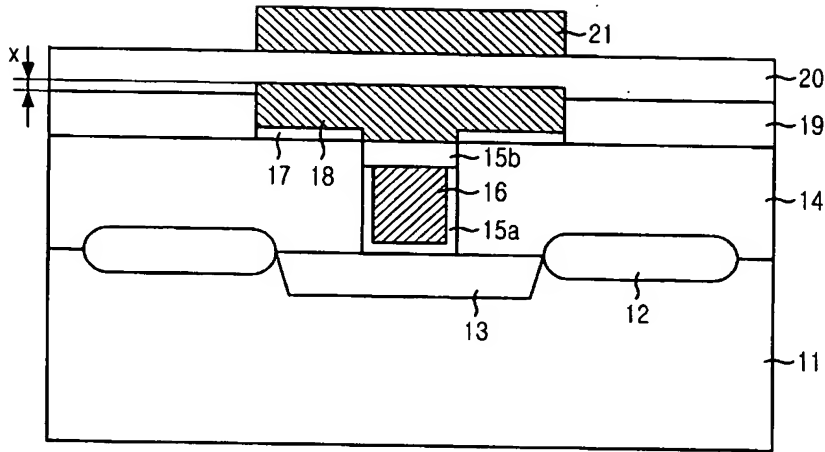
【청구항 19】

제8항에 있어서,

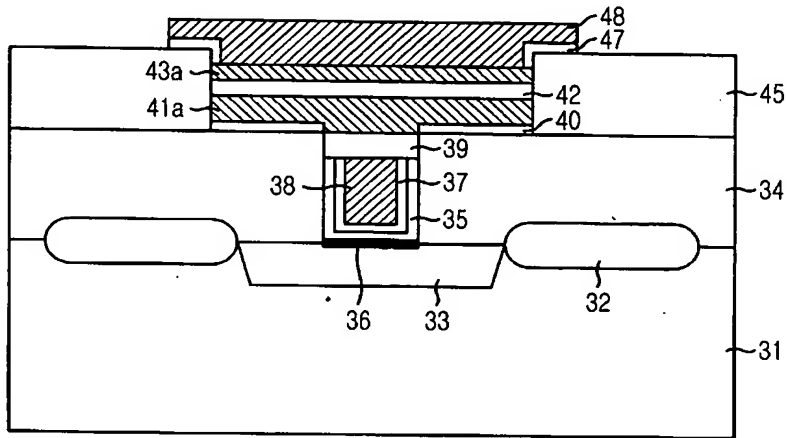
상기 상부전극은  $100\text{\AA} \sim 1000\text{\AA}$  두께로 형성하고, 상기 플레이트라인은  $500\text{\AA} \sim 3000\text{\AA}$  두께로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

【도면】

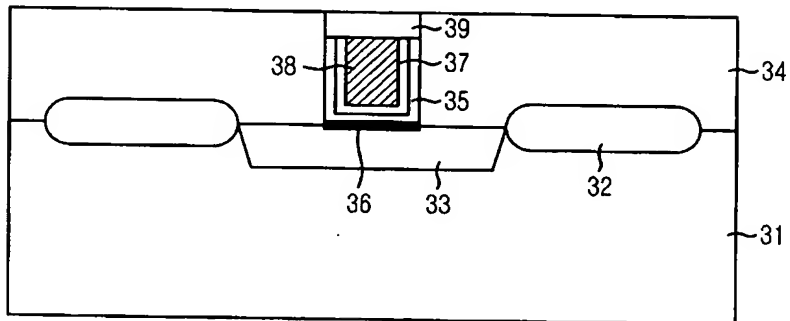
【도 1】



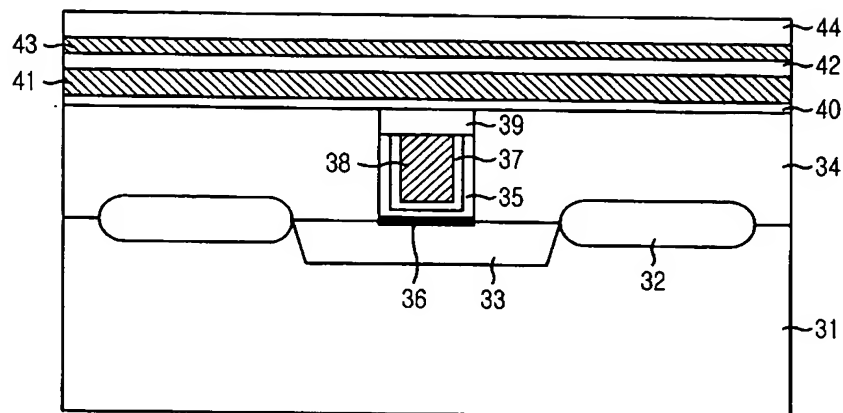
【도 2】



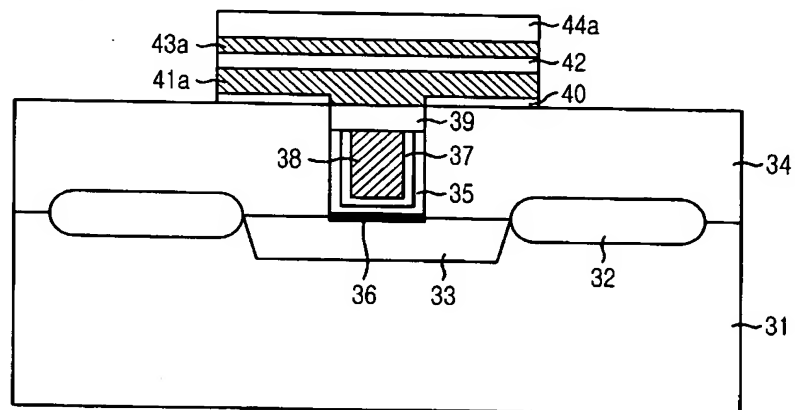
【도 3a】



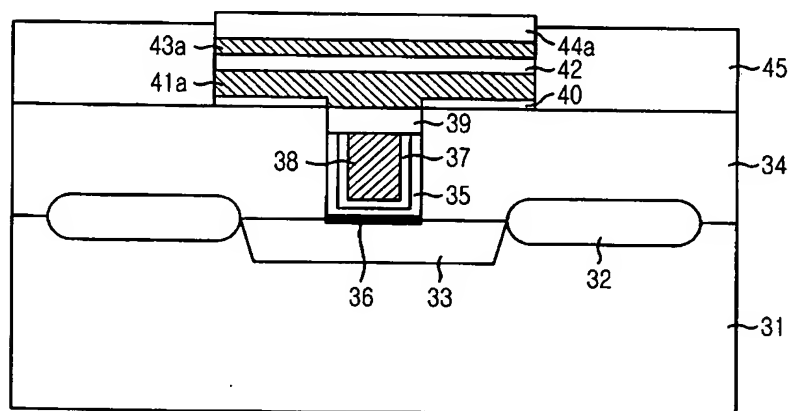
【도 3b】



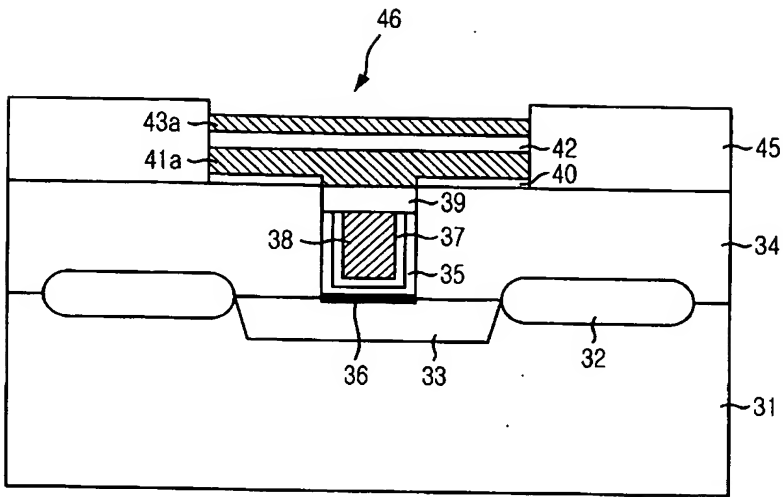
【도 3c】



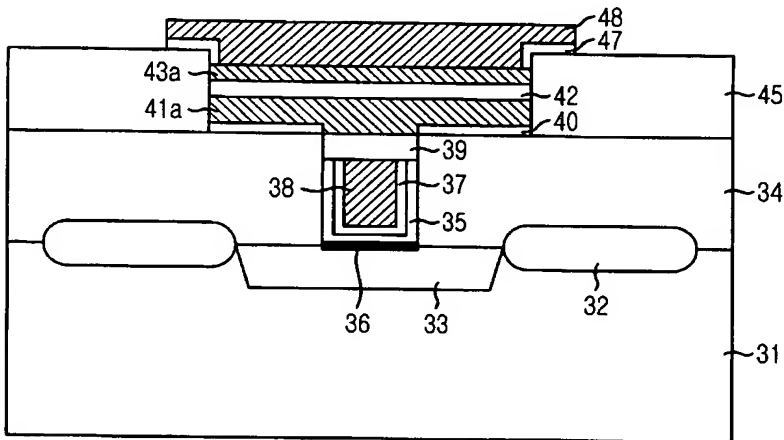
【도 3d】



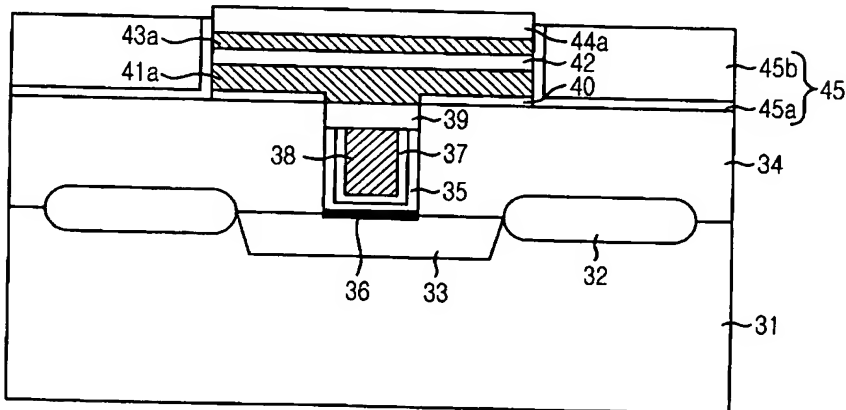
【도 3e】



【도 3f】



【도 4】



【도 5】

